

EE640 Eletrônica Digital I

Prof. Fabiano Fruett

Conversores A/D e D/A

D/A e A/D

1

Conversores de dados

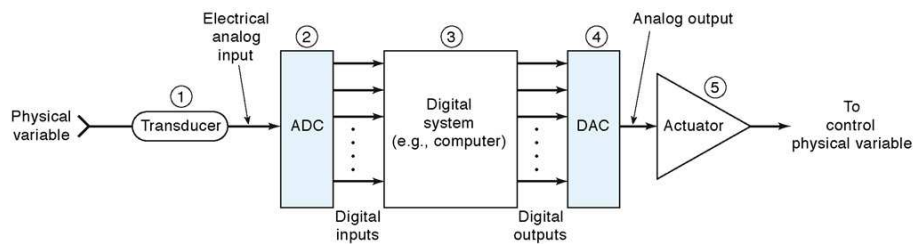
- Especificações
- Conversor D/A
 - Circuito Sample-Hold
 - Chaves de corrente
- Conversor A/D

D/A e A/D

2

Exemplo de aplicação dos conversores de dados:

Sistema de controle



D/A e A/D

Fonte: R. Tocci and N. Widmer, Digital Systems₃

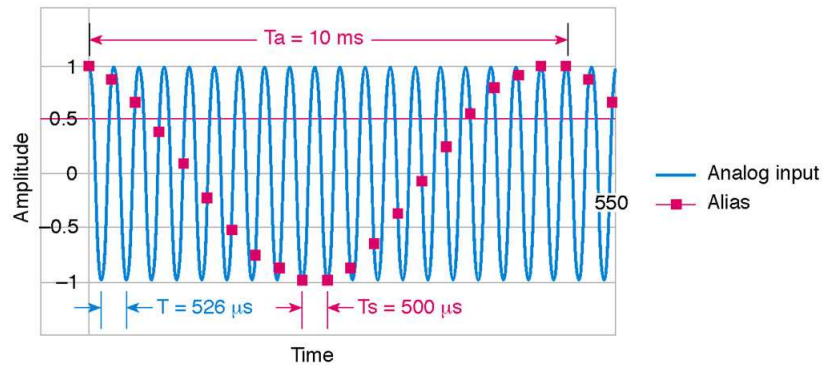
Especificações dos conversores D/A e A/D

- Resolução
- Erro de quantização
- Tempo de conversão
- Deriva – desvios relacionados a temperatura e tempo
- Amostragem

D/A e A/D

4

Problema de subamostragem



Deve ser evitado fazendo $F_s > 2F_{in\ máx}$ [Teorema de Nyquist]

D/A e A/D

Fonte: R. Tocci and N. Widmer, Digital Systems

Resolução e Erro de Quantização

$$\text{Resolução} = E \frac{1}{2^N - 1}$$

$$\% \text{ resolução} = \frac{1}{2^N - 1} \times 100$$

$$\text{Erro de quantização} = \pm E \frac{1}{2(2^N - 1)}$$

$$\% \text{ Erro de quantização} = \frac{1}{2(2^N - 1)} \times 100$$

Sendo que E é a excursão máxima do sinal analógico e N o número de bits do conversor

D/A e A/D

6

Resolução dos conversores D/A e A/D

Número de bits	Resolução %
4	6.67
6	1.75
8	0.392
10	0.976
12	0.0244
14	0.00610
16	0.00153

D/A e A/D

7

Exemplo: Um sinal analógico na faixa de 0 a +10 V deve ser convertido em um sinal digital de 8 bits.

Pede-se:

- Qual a resolução da conversão em volts?
- Qual a representação digital para uma entrada de 6 V?
- Qual a representação para uma entrada de 6.2 V?
- Qual o erro ocorrido na quantização de 6.2 V em termos absolutos e como porcentagem da entrada?
- e como uma porcentagem da escala total?
- Qual o maior erro possível na quantização como uma porcentagem da escala total?

D/A e A/D

8

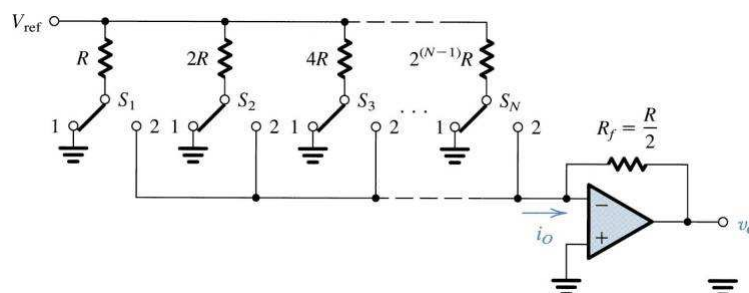
Os conversores D/A são constituídos de:

- Circuito de referência
- Circuito que atribui pesos binários ao valor da corrente de referência
- Chaves controladas pelos bits da palavra digital de entrada
- Conversor corrente-tensão

D/A e A/D

9

Conversor D/A de N bits usando uma rede resistiva em escada com peso binário



D/A e A/D

Fig. 10.32₁₀

Fatores que afetam a precisão dos conversores D/A:

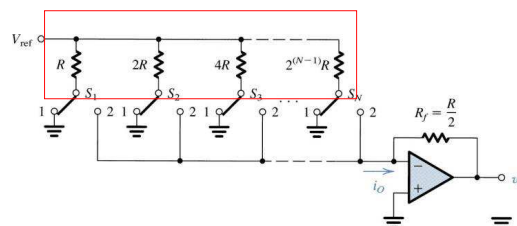
- Imprecisão de V_{ref}
- Imprecisão dos resistores (descasamento)
- Não idealidades das chaves analógicas
 - Tensão de off-set ($V_{\text{DD}} - V_t$)
 - Valor finito da resistência

D/A e A/D

11

Desvantagem da rede de resistores em escada

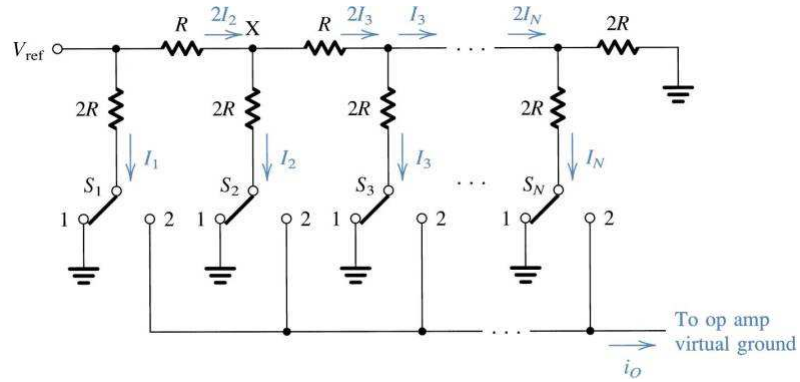
A desvantagem da rede de resistores em escada com peso binário é que para uma grande quantidade de bits, a diferença entre os resistores se torna muito elevada. Isso aumenta a dificuldade em manter a precisão dos valores dos resistores.



D/A e A/D

12

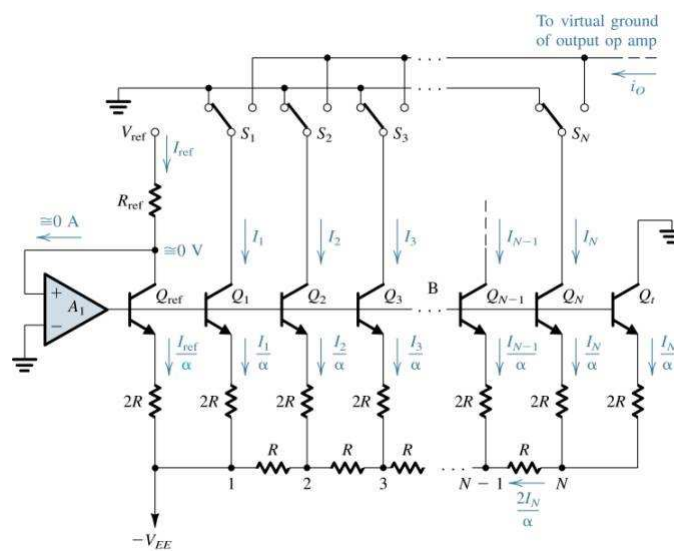
Rede em escada R-2R



D/A e A/D

Fig. 10.33 13

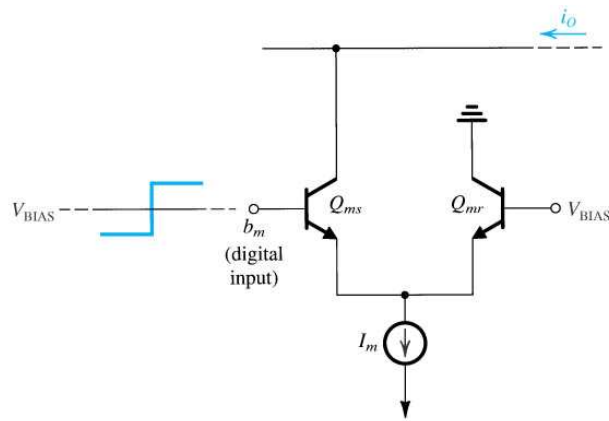
Implementação prática do CDA utilizando uma rede R-2R



D/A e A/D

Fig. 10.34 14

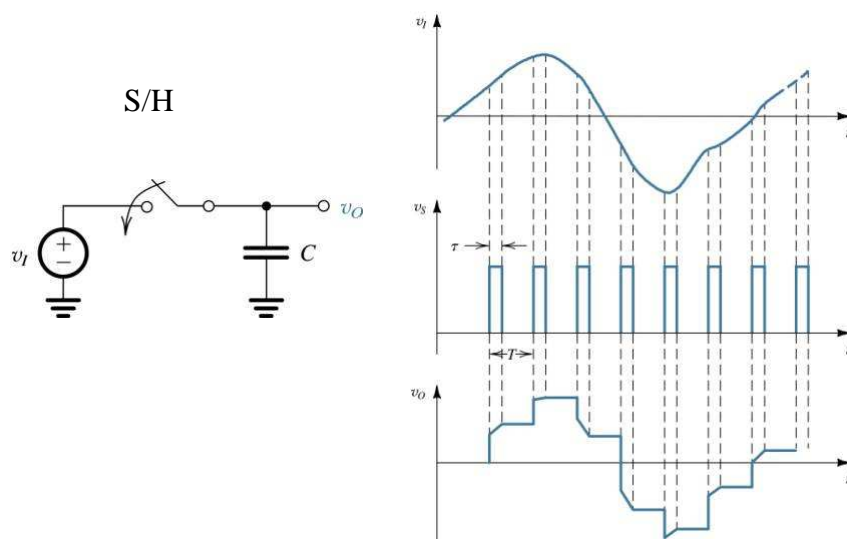
Chaves de corrente



D/A e A/D

15

Processo de amostragem periódica de um sinal analógico



D/A e A/D

Fig. 10.29 16

Circuito Sample and Hold

D/A e A/D

17

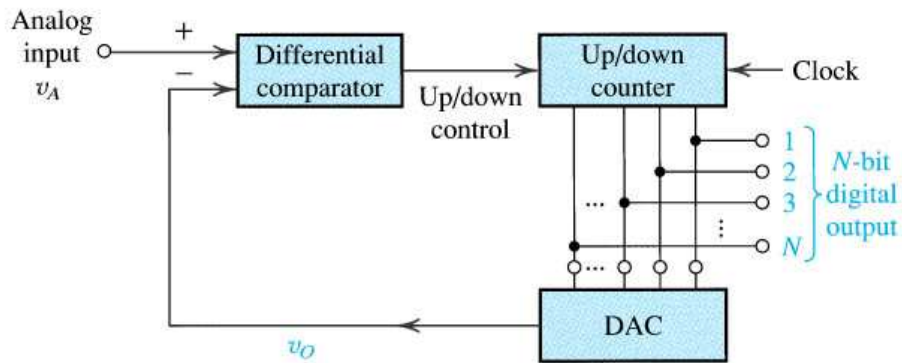
Alguns tipos de conversores A/D

- Realimentado
- Inclinação dupla
- Paralelo – flash
- Redistribuição de carga
- Aproximações sucessivas
- Sigma-Delta - $\Sigma\Delta$

D/A e A/D

18

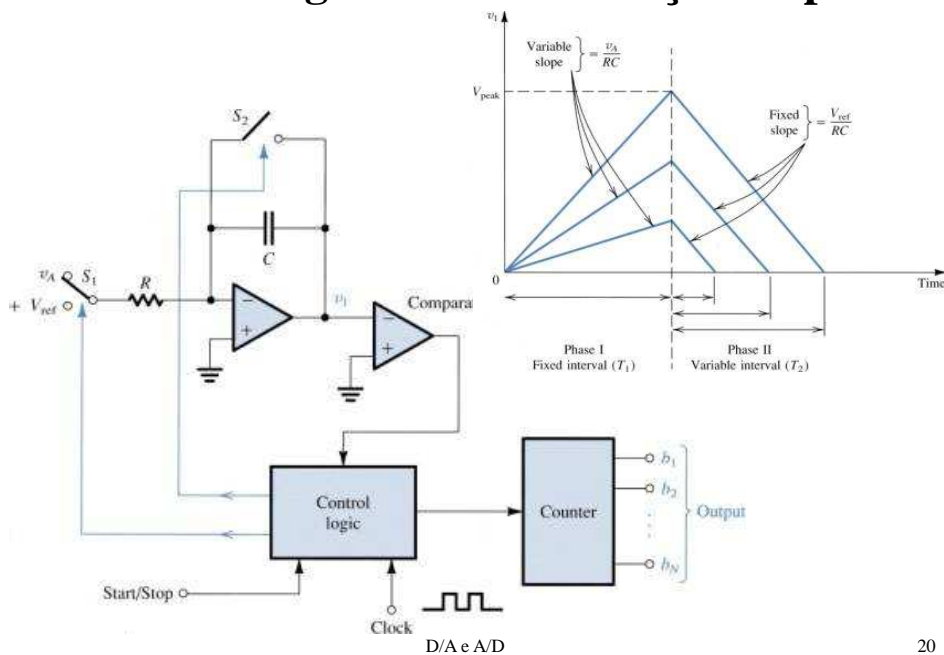
Conversor A/D tipo realimentação



D/A e A/D

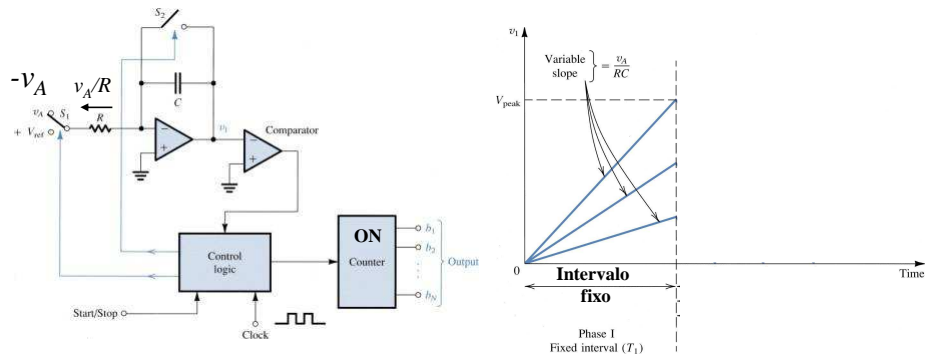
19

Conversor Integrador de Inclinação Dupla



D/A e A/D

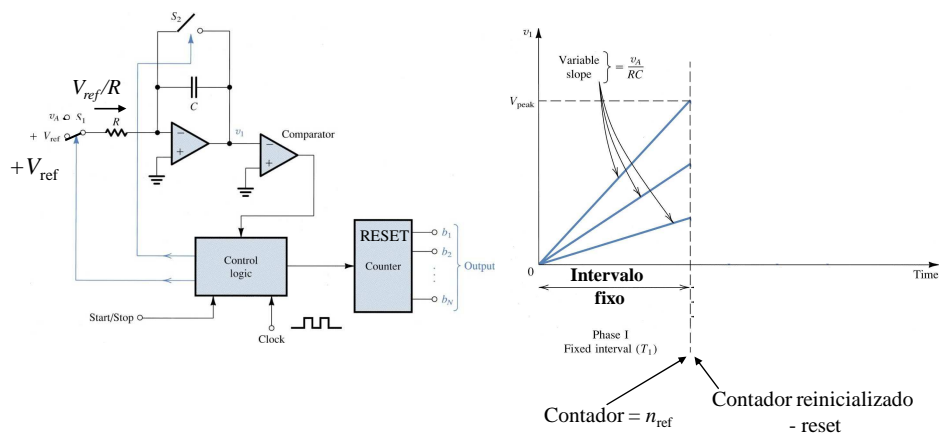
20



Até que o contador acumule uma determinada contagem n_{ref}

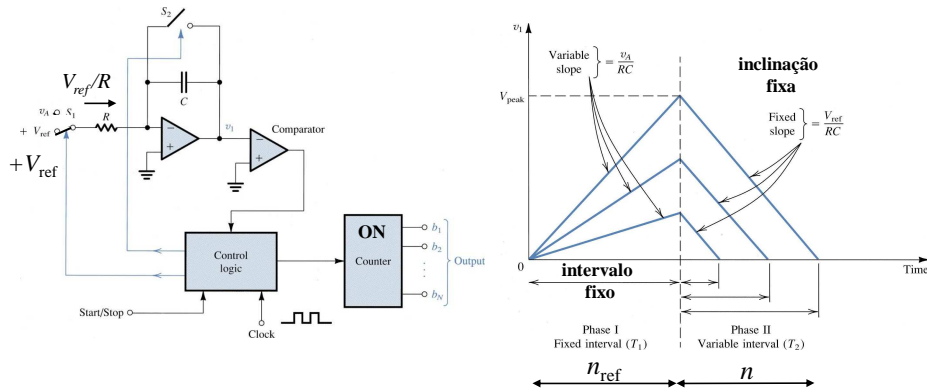
D/A e A/D

21



D/A e A/D

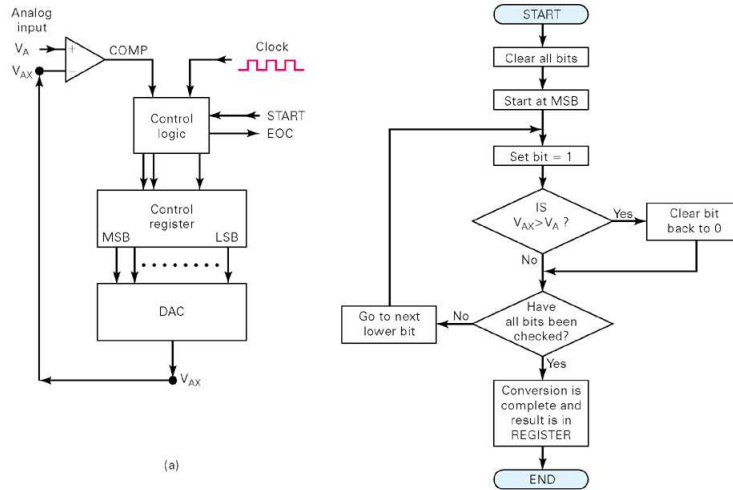
22



Conversor Flash

- O conversor Flash é o tipo mais rápido. Compara o sinal de entrada com cada um dos 2^N-1 níveis possíveis de quantização. Uma conversão completa pode ser obtida em um ciclo de clock.
- O preço pago é um circuito complexo.

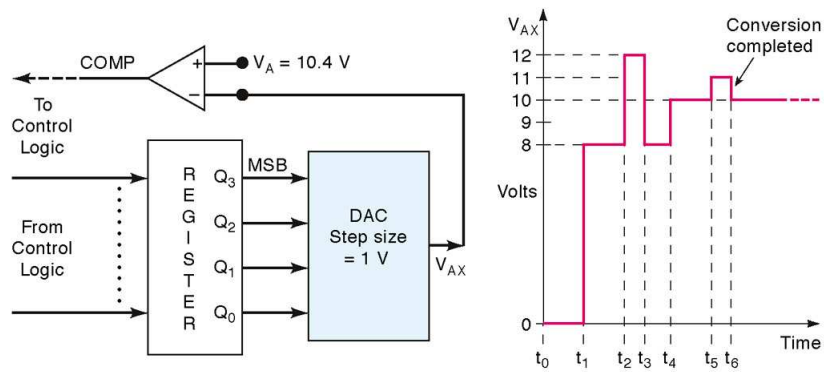
Conversor AD de aproximações sucessivas



D/A e A/D

Fonte: R. Tocci and N. Widmer, Digital Systems

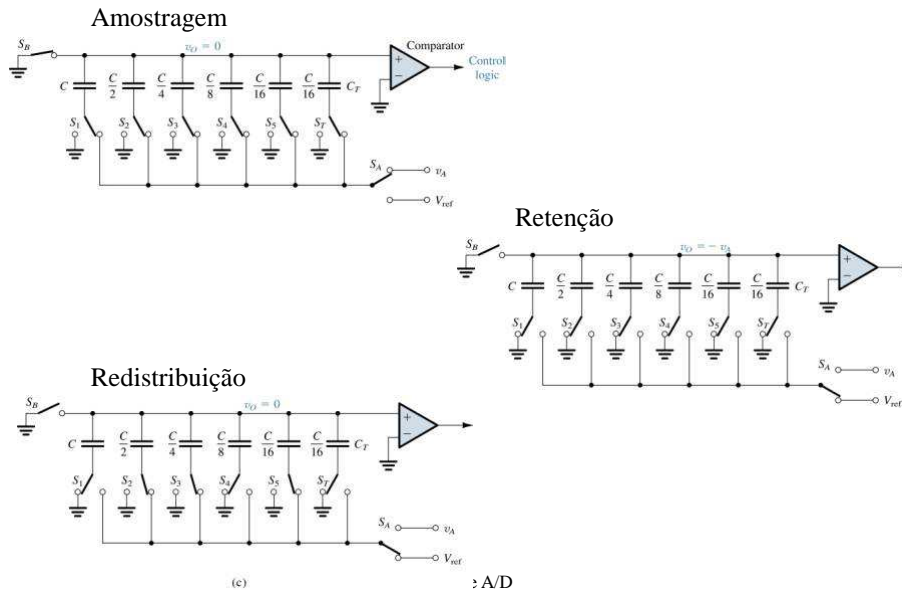
Funcionamento:



D/A e A/D

Fonte: R. Tocci and N. Widmer, Digital Systems

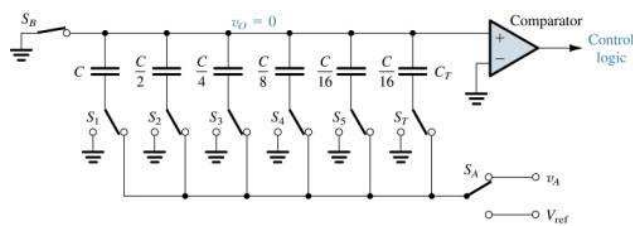
Conversor A/D de redistribuição de carga



(c) A/D

27

Amostragem

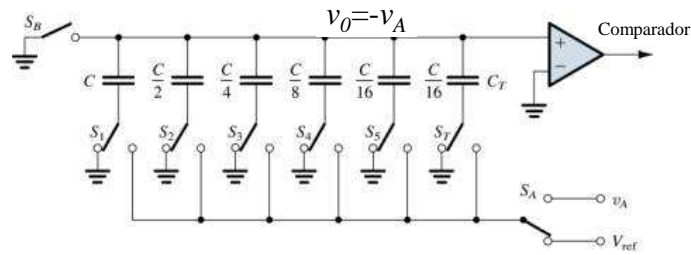


- S_B fechada
- S_A conectada à v_A
- S_1 até S_T também conectadas à v_A
- Carga armazenada = $2Cv_A$

D/A e A/D

28

Retenção



S_B aberta

S_1 até S_T conectadas ao terra

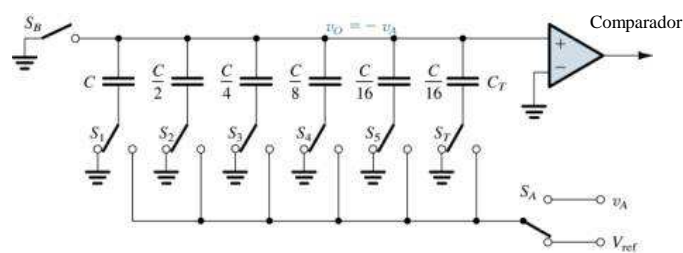
Carga armazenada continua = $2Cv_A$

S_A conectada à V_{ref} (preparando para a fase seguinte)

D/A e A/D

29

Redistribuição



S_B continua aberta

S_1 até S_T continuam conectadas ao terra

Carga armazenada continua = $2Cv_A$

S_1 conectada à V_{ref} , v_0 negativo ou positivo?

Se v_0 negativo S_1 fica na posição V_{ref} (MSB=1)

v_0 positivo S_1 volta na posição GND (MSB=0)

S_2 conectada à V_{ref} ...

D/A e A/D

30

Exercícios

- 10) 10.34 Sedra p. 796
- 11) 10.35 p. 796
- 12) 10.36 p. 802
- 13) 10.37 p. 802
- 14) 10.20 p. 810