

EE610 Eletrônica Digital I

Prof. Fabiano Fruett

Email: fabiano@dsif.fee.unicamp.br

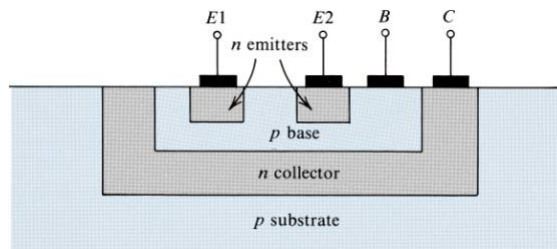
2_e_2 Portas lógicas TTL

2. Semestre de 2007

Portas Lógicas TTL

1

Estrutura do transistor multiemissor



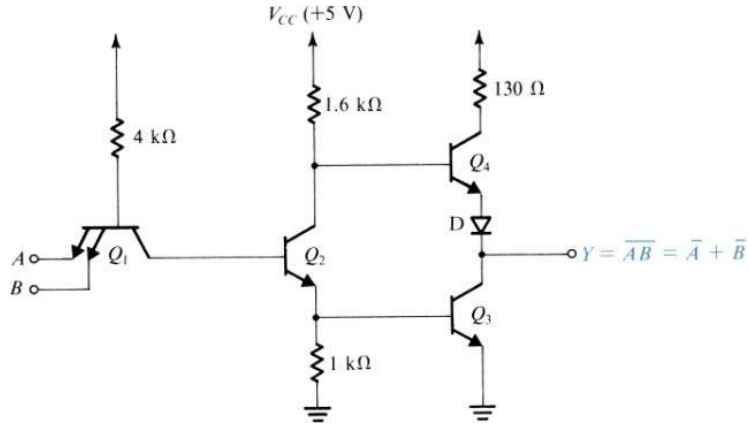
Na porta NAND TTL destaca-se o transistor multiemissor usado na entrada.

A extensão para um número maior de entradas é obtida pela difusão de regiões de emissor.

Portas Lógicas TTL

Fig. 14.25 2

Porta NAND da família TTL



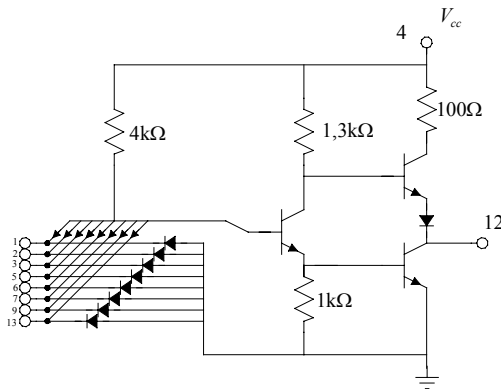
A saída será baixa apenas quando todas as entradas forem altas.

A saída será alta, se apenas uma junção BE de Q1 estiver polarizada diretamente.

Portas Lógicas TTL

Fig. 14.24 3

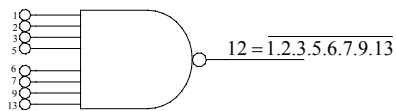
MC 502 (Motorola)



NAND com 8 entradas

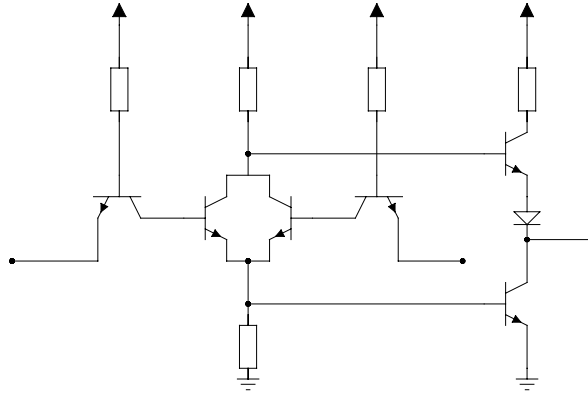
Pot. Dissip.: 15 mW

Tempo de prop.: 12 ns



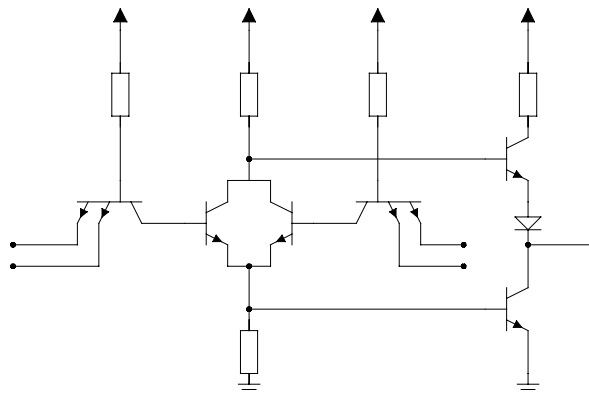
Portas Lógicas TTL

Porta TTL NOR



Portas Lógicas TTL

Porta NAND-OR-inversora TTL



Sugestão de estudo: Analise o funcionamento da porta acima e determine sua tabela verdade

Fatores que limitam a operação da porta TTL

- A velocidade das portas TTL padrão é limitada pois os transistores bipolares saturados tem um tempo de desligamento considerável. Principalmente o transistor pull-down do estágio Totem-Pole, cuja carga na base deve descarregar pela resistência de 1 k Ω .
- As resistências do circuito formam grandes constantes de tempo com as capacitâncias dos transistores e outros parasitas.

Famílias TTL com desempenho melhorado.

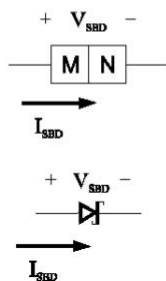
- Vários melhoramentos foram introduzidos na porta TTL padrão. Os melhoramentos visam principalmente o aumento da velocidade e redução da dissipação de potência.

Família TTL Schottky

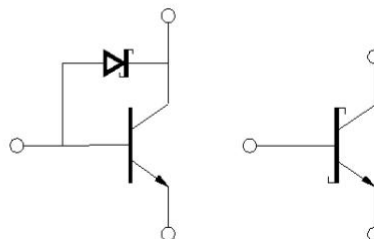
Na família S-TTL, evita-se que os transistores entrem em saturação empregando-se um diodo de baixa queda de tensão entre base e coletor. Esse diodo junção metal-semicondutor, diodo Schottky são facilmente fabricados e não aumentam a área utilizada na pastilha.

Schottky TTL - STTL

SCHOTTKY DIODE



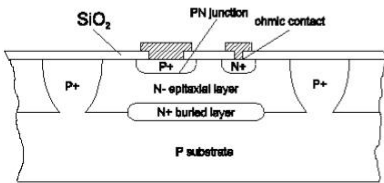
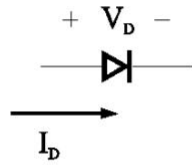
SCHOTTKY TRANSISTOR



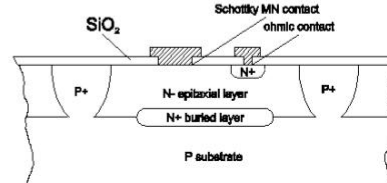
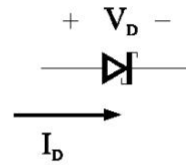
DIODES

1

PN Junction Diode



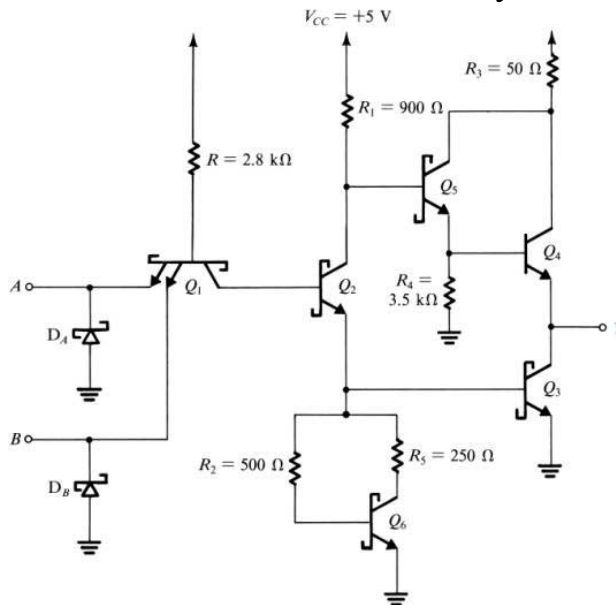
MN Schottky Junction Diode



Portas Lógicas TTL

11

Porta NAND TTL Schottky



Portas Lógicas TTL

Fig. 14.28₁₂

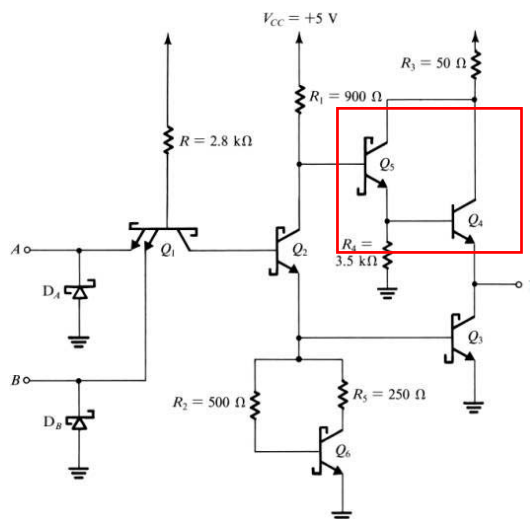
Algumas diferenças com a porta NAND TTL padrão:

- Com exceção de Q_4 , todos os transistores são Schottky. Q_4 não satura e não necessita do diodo.
- resistores de valor reduzido.

Conseqüências:

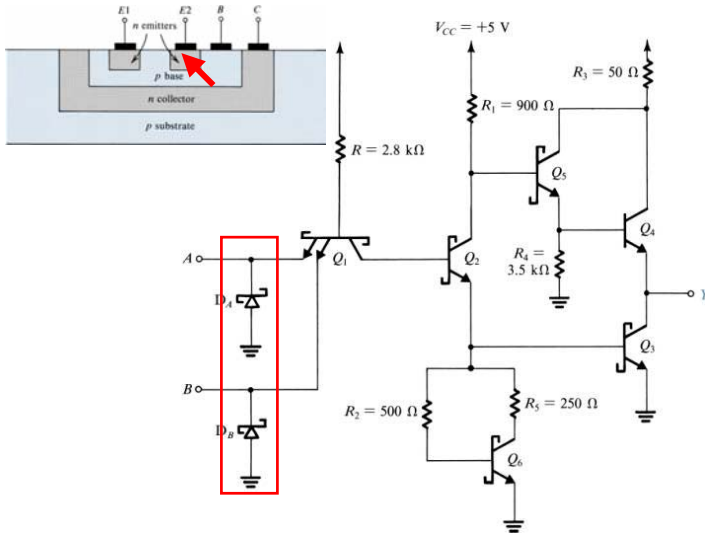
- 👍 Redução do tempo de atraso.
- 👎 Aumento da dissipação de potência.

O diodo D é substituído por Q_5 , formando um par Darlington com Q_4



Aumento da capacidade de fornecimento de corrente no estado alto de saída (*current source mode*), redução do t_{PLH}

Diodos de proteção na entrada

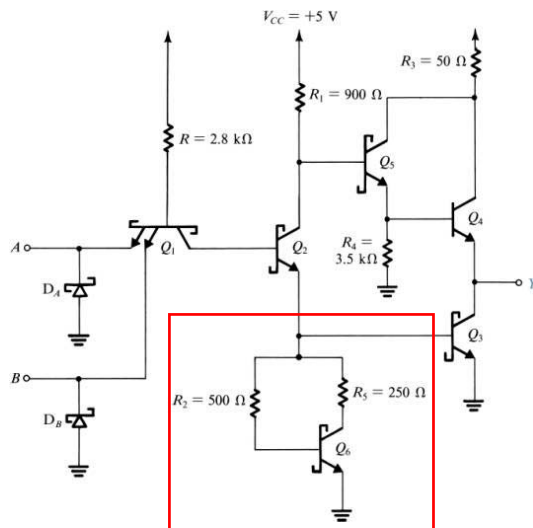


Atenuam excursões negativas de sinais de ressonância na entrada

Portas Lógicas TTL

Fig. 14.28₁₅

Resistência não linear (abaixador ativo)

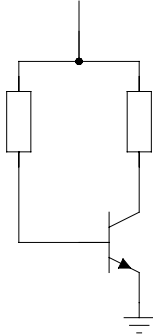


Q_2 , Q_3 e Q_6 entram em condução quase que simultaneamente

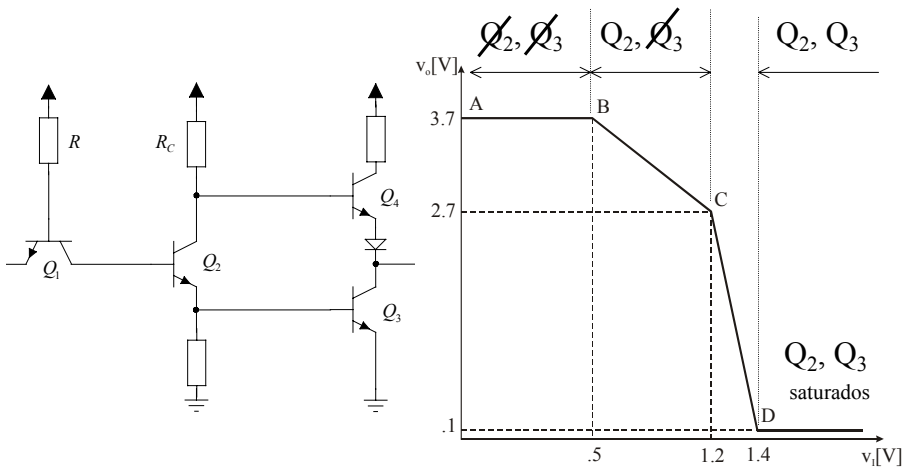
Portas Lógicas TTL

Fig. 14.28₁₆

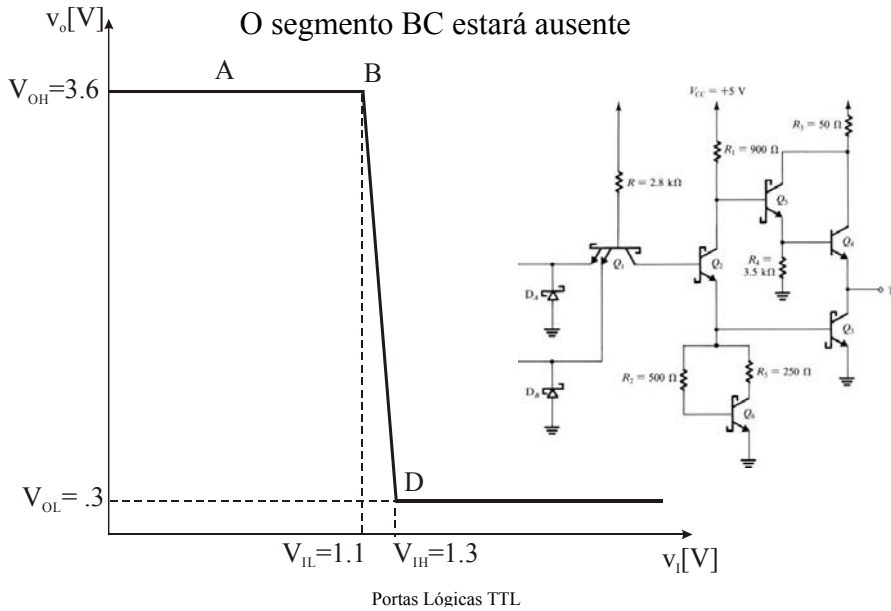
Abaixador ativo



CTT da TTL padrão



CTT do STTL



19

Conseqüências:

- Aumento das margens de ruído.
- Aumento da velocidade de chaveamento de Q_3 corte => ativo (Active Pull-down drena uma corrente desprezível para $V < 0.6$)

Conexão de portas TTL e Fan-out

- O Fan-out é determinado pela capacidade de absorver ou fornecer corrente do estágio de saída.
- Na condição sorvedouro de corrente I_{OL} é dada pela soma de I_{IL} de cada entrada. A corrente I_{OL} associada a impedância vista do coletor de Q_3 produzirá uma queda de tensão v_{OL} . Essa tensão não deve exceder o limite $V_{OL}(\text{máx})$.
- Na condição fonte de corrente I_{OH} é a soma de cada I_{IH} . A queda de tensão provocada por I_{OH} através de D, Q_4 e R não poderá trazer v_{OH} abaixo de $V_{OH}(\text{min})$.

Níveis de corrente das séries TTL

| Séries TTL | Saídas | | Entradas | |
|------------|----------|----------|------------|----------|
| | I_{OH} | I_{OL} | I_{IH} | I_{IL} |
| 74 | -0.4 mA | 16 mA | 40 μ A | -1.6 mA |
| 74S | -1 mA | 20 mA | 50 μ A | -2 mA |
| 74LS | -0.4 mA | 8 mA | 20 μ A | -0.4 mA |
| 74AS | -2 mA | 20 mA | 20 μ A | -0.5 mA |
| 74ALS | -0.4 mA | 8 mA | 20 μ A | -0.1 mA |
| 74F | -1 mA | 20 mA | 20 μ A | -0.6 mA |

OBS: diferentes dispositivos podem apresentar diferentes capacidades de corrente. Sempre consulte a folha de especificação.

Séries TTL

Em 1964 a Texas introduziu a primeira linha de ICs TTL, as séries 74/54.

Outros fabricantes empregam o mesmo sistema de numeração com diferentes prefixos:

- Texas instruments SN
- National Semiconductors DM
- Signetics S

Exemplos para o gate NOR: DM 7402, SN 7402 ou S7402.

Características das séries TTL

| | 74 | 74S | 74LS | 74AS | 74ALS | 74F |
|---|-----|-----|------|------|-------|-----|
| Propagation delay t_p (ns) | 9 | 3 | 9.5 | 1.7 | 4 | 3 |
| Power dissipation P_D (mW) | 10 | 20 | 2 | 8 | 1.2 | 6 |
| Speed-power product DP (pJ) | 90 | 60 | 19 | 13.6 | 4.8 | 18 |
| Max. clock rate (MHz) | 35 | 125 | 45 | 200 | 70 | 100 |
| Fan-out (same series) | 10 | 20 | 20 | 40 | 20 | 33 |
| Tensões | | | | | | |
| $V_{OH}(\text{min})$ | 2.4 | 2.7 | 2.7 | 2.5 | 2.5 | 2.5 |
| $V_{OL}(\text{max})$ | 0.4 | 0.5 | 0.5 | 0.5 | 0.5 | 0.5 |
| $V_{IH}(\text{min})$ | 2.0 | 2.0 | 2.0 | 2.0 | 2.0 | 2.0 |
| $V_{IL}(\text{max})$ | 0.8 | 0.8 | 0.8 | 0.8 | 0.8 | 0.8 |

Questões básicas sobre TTL

- Qual série TTL é a melhor para altas frequências?
- Qual série tem a maior margem de ruído para o estado alto?
- Qual série se tornou obsoleta em novos projetos?
- Qual série usa um diodo especial para reduzir o tempo de chaveamento?
- Qual série seria melhor para um projeto alimentado por bateria operando a 10 MHz?

Saída coletor aberto

Portas tri-state